

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-002837  
 (43)Date of publication of application :06.01.1999

(51)Int.Cl. G02F 1/136  
 G02F 1/133  
 G02F 1/1343  
 G09F 9/30

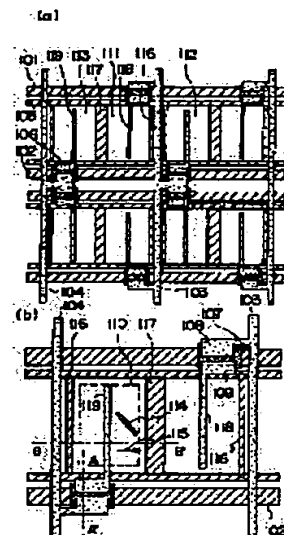
(21)Application number : 09-152320  
 (22)Date of filing : 10.06.1997

(71)Applicant : NEC CORP  
 (72)Inventor : SAKAMOTO MICHIAKI

**(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To obtain a low-cost and bright liquid crystal display device superior in display quality, wide in field angle, low in power consumption, and wide in light transmission area by applying a double-speed driving method to an in-plane switching(IPS) mode.

**SOLUTION:** Low power consumption is actualized by applying the double-speed driving method which can reduce the number of data to a half to the IPS mode. Further, not a pixel electrode, but a common electrode 117 that pixels 111 and 113 share is arranged between the pixels to obtain a sufficient interval between the pixel electrodes that those pixels 111 and 113 have, and the parasitic capacity between the pixels is reduced. On the common electrode 117 which is provided between the pixels 111 and 113 and shared them, no BM layer needs to be arranged, so the area of a display area that light transmits through greatly increases. As a method of writing to the pixels a 2H1V-dot inversion system is applied which performs dot inversion by pair the polarities of the two pixels sharing the common electrode 117.

**LEGAL STATUS**

[Date of request for examination] 10.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3031295

[Date of registration] 10.02.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

R

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-2837

(43) 公開日 平成11年(1999) 1月6日

(51) Int. Cl. °	識別記号	F I
G02F 1/136	500	G02F 1/136 500
1/133	550	1/133 550
1/1343		1/1343
G09F 9/30	338	G09F 9/30 338

審査請求 有 請求項の数 7 O L (全13頁)

(21) 出願番号 特願平9-152320

(22) 出願日 平成9年(1997) 6月10日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 坂本 道昭

東京都港区芝五丁目7番1号 日本電気株式会社内

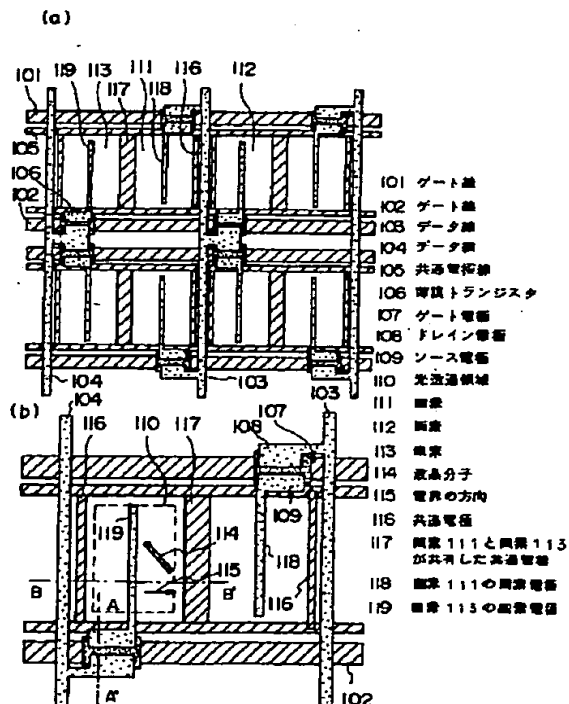
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【要約】

【課題】 液晶分子の分子軸方向を能動素子基板と水平な面内で回転させて表示を行うことにより広視野角を可能とするIPS (In Plane Switching) 型の広視野角液晶表示装置において、高開口率化して表示品質の優れた明るい液晶表示装置を提供する。

【解決手段】 画素1行に対して2本ずつ割り当てられたゲート線と画素2列に対して1本ずつ割り当てられたデータ線と、共通電極に接続する共通線を持ち、2本のゲート線のうちの一方のゲート線により選択される薄膜トランジスタ (TFT) を介して駆動される第1群の画素と、他方のゲート線により選択される薄膜トランジスタ (TFT) を介して駆動される第2群の画素を有する画素アレイ配置を行い、さらに第1群の画素と第2群の画素が共通電極の一部を共有するように構成する。



## 【特許請求の範囲】

【請求項1】 能動素子基板と、対向基板と、前記両基板間に挟まれた液晶層を備えており、前記能動素子基板表面にマトリクス状に配設された画素電極と共通電極からなる画素と、ゲート、ドレインおよびソース電極を有する薄膜トランジスタとを有し、前記液晶層の液晶分子の分子軸方向を前記能動素子基板と水平な面内で回転させて表示を行うアクティブマトリクス型液晶表示装置において、前記能動素子基板は、マトリクス状に配設された前記画素の1行に対して2本ずつ割り当てられたゲート線と、前記画素の2列に対して1本ずつ割り当てられたデータ線と、共通電極に基準電位を供給する共通線を持ち、前記画素の1行に対して2本ずつ割り当てられた2本のゲート線のうちの一方のゲート線により選択される薄膜トランジスタを介して駆動される第1群の画素と、もう一方のゲート線により選択される薄膜トランジスタを介して駆動される第2群の画素を有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 異なるデータ線に接続される隣接する2画素間に前記両画素で共用する共通電極を配設することを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項3】 前記異なるデータ線に接続される隣接する2画素が共用する共通電極は、前記データ線と平行な方向に連通し、共通電極に基準電位を供給する共通線の一部を兼ねることを特徴とする請求項2記載のアクティブマトリクス型液晶表示装置。

【請求項4】 異なるデータ線に接続される隣接する2画素間には、前記両画素の共通電極に基準電位を供給する共通線が配設されることを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項5】 前記画素を構成する画素電極および前記共通電極はゲート線に平行な方向に形成されることを特徴とする請求項4記載のアクティブマトリクス型液晶表示装置。

【請求項6】 前記対向基板面内において、前記異なるデータ線に接続される隣接する2画素が共用する共通電極または共通線に対向する領域には遮光パターンを形成しないことを特徴とする請求項2または4記載のアクティブマトリクス型液晶表示装置。

【請求項7】 前記異なるデータ線に接続される隣接する2画素が互いに同極性であることを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

## 【発明の詳細な説明】

【発明の属する技術分野】本発明は、液晶表示装置に関し、特にIPS(In Plane Switching)モードのアクティブマトリクス型液晶表示装置に関する。

## 【0001】

【従来の技術】従来の一般的なアクティブマトリクス型

液晶表示装置の構成を図8を用いて説明する。従来のアクティブマトリクス型液晶表示装置では、マトリクス状に配置された画素に対して、その行および列と同数のゲート線およびデータ線を用いて駆動される。たとえば水平方向にRGBそれぞれ640画素、垂直方向に480画素を有するVGA(Video Graphics Array)方式のカラー表示のアクティブマトリクス液晶表示装置では、画素の選択信号用として480本のゲート線801、各画素に保持する信号電圧の伝送用として640×3本のデータ線802が必要となる。さらにそれぞれのゲート線801とデータ線802の交点に薄膜トランジスタ(TFT)804が設けられ、それを介して画素803が接続される。それらゲート線801およびデータ線802を駆動するためには同数の走査線ドライバー805および信号線ドライバー806が必要となる。多階調を表示する場合、デジタル駆動が一般的であるが、その場合には信号線ドライバー806は6bit分解能であれば極性反転駆動も考えあわせると128レベルの電圧を出力する必要があるため、単にゲート線に順次に選択パルスを出力するのみの走査線ドライバー805に比べてかなり高価であり、コストがかさむ問題を有していた。

【0002】また、液晶表示装置は携帯の用途も多く、低消費電力化が求められ、液晶表示装置の消費電力に関しても、ゲート線のいずれか1本のみにパルスを送出する走査線ドライバーに比べて、数が多く、かつ並列に動作する信号線ドライバーの消費電力は桁ちがいに大きく、これらデータ線や信号ドライバーの消費電力を小さくする必要があった。

【0003】これらコストおよび消費電力の問題を解決する案として、特開平3-38689、特開平5-265045、特開平6-148680で開示されたアクティブマトリクス型液晶表示装置があり、その内容を図9を用いて説明する(以下、従来例1または倍速駆動法と呼ぶ)。図9(a)は4列2行分の画素配置を示した平面図であり、(b)はその駆動方法を説明する図である。たとえば前述したVGA方式のカラー液晶表示を行うものでは480行×1920列の画素を表示するのに、走査方向の1表示ラインに対して2本ずつ割り当てられた960本のゲート線901、902および960本のデータ線903、904を持ち、各データ線903の左側に配置され、上側に配置される一方のゲート線901に接続された第1の薄膜トランジスタを介して駆動される画素905と、データ線の右に配置され、下側に配置される他方のゲート線901に接続された第2の薄膜トランジスタを介して駆動される画素906により構成される。

【0004】図9(b)はこれら画素の駆動方法を説明する図で、水平走査期間915を2分し、第1の走査期間916と第2の走査期間917に分け、第1の走査期

間916でデータ線903の片側に配置された一方の画素905を駆動し、第2の走査期間917で他方の画素906を駆動するように従来の2倍の速度で走査線およびデータ線を駆動するものである。また、画素への書き込みの順序についてはたとえば以下に行う。データ線903に接続された画素については、ゲート線の順により、画素905→906→907→908の順に書き込みを行い、データ線904に接続された画素についても同様に、画素909→910→912→911の順に書き込みを行う。

【0005】上述のごとく、従来例1の画素アレイ構成および駆動方法によればデータ線の数と信号ドライバーの数を半減でき、コストおよび消費電力を削減できることが言われていた。

【0006】しかし、従来例1の駆動方法では以下の問題点がある。前述の通り、第1の走査期間916において第1の画素905に、第2の走査期間917において第2の画素906、910に信号が書き込まれるが、この時、第1の画素905は第2の画素906、910の書き込み時に、画素905と画素906の間の寄生容量C1および画素905と画素910の間の寄生容量C2により変動をうける。画素の全体容量をCtot、データ信号の振幅をVDとすると、変動電圧Vpp918は $V_{pp} = (C1 - C2) / C_{tot} * VD$ となる。画素905と画素906の間にはデータ線があるが、画素905と画素910の間には電位線がないため、一般にC2はC1より非常に大きく、画素905と906の間隔および画素905と画素910の間隔を10μm程度とすると、Vpp~300mV程度となる。

【0007】よって第1の画素905と第2の画素906、910は一般に300mV程度の電圧差があり、中間調などを表示した場合、画素の輝度が一定ではなく、表示品位が劣化する問題を有した。また、これらの表示品位の劣化を防ぐには、画素間隔を広げる必要があり、光透過領域が減る問題を有した。

【0008】さて、上記例では説明を省略したが、これらの駆動方法の提案は、対向した基板間に電界を印加し、配向した液晶分子の分子軸の方向（以下、ディレクタと呼ぶ）を基板に対して垂直方向に回転させて表示を行うTN（Twisted Nematic）モードの液晶表示装置に関するものである。それに対して広視野角が可能な液晶表示装置として、基板面に対して平行な方向に電界を印加し、液晶分子を基板面に平行な面内で回転させて表示を行うIPS（In Plane Switching）モードなどがある。IPSモードの液晶表示装置は、視点を動かしても基本的に液晶分子の短軸方向のみ見ており、液晶表示装置の視野角依存性が少なく、TNモードの液晶表示装置に比較して、広視野角を達成することができる。このためTVモニターの様に複数人ないしは多方向からみる用途など大画面の広い視野

角を必要とする分野にはIPSモードが使用されると思われる。

【0009】そのようなIPSモードの液晶表示装置としては、特開平7-36058号公報（以下、従来例2）に開示されている液晶表示装置などが知られている。図10は従来例2の液晶表示装置を説明する図であり、（a）はその平面図であり、（b）はそのTFT部の断面図であり、（c）はそのデータ線まわりの断面図である。従来例2の液晶表示装置は図10に示されているように、ゲート線1001とデータ線1002と、共通線1003と共通電極1005と、画素電極1004と薄膜トランジスタ1006（Thin Film Transistor、以下TFTと呼ぶ）とを備えている。このうちTFTはTFT側ガラス基板1011上に設けられたゲート電極1007と、該ゲート電極を覆うようにして設けられたゲート絶縁膜1012と、このゲート絶縁膜上に形成されたドレイン電極1008およびソース電極1009ならびにa-Si層1010と、それらをすべて覆うようにして設けられたパッシベーション膜1013とを備えている。この構造は、ゲート電極の上部にソースおよびドレイン電極がある構造（ボトムゲート構造）であるために、一般には逆スタガ構造と呼ばれている。またゲート線1001はTFTのゲート電極1007に対して、データ線1002はドレイン電極1008に対して、画素電極1004はソース電極1009に対して、共通線1003は共通電極1005に対してそれぞれ電氣的に接続されている。また、パッシベーション膜1013上には、液晶分子を液晶動作モードに適した配列や傾き（プレチルト）に制御するための配向膜1014が設けられており、TFT側ガラス基板1011から配向膜1014までの構成要素にてTFT基板1019を形成している。さらにこのTFT基板1019と、液晶分子が封止された液晶層1021と、および色層1016やブラックマトリクス層1017、配向膜1015を有するカラーフィルター基板1020（以下、CF基板と呼ぶ）とで一つの液晶表示装置を形成している。

【0010】このような特徴を有する従来例2においては、TNモードに比べ、広視野角化が可能であるが、画素内に画素電極1004と共通電極1005からなる電極対を設ける必要があるため、TNモードに比べて光の透過領域1022が少なく、液晶表示装置の透過率が小さい。そのため、明るく表示品位に優れた液晶表示装置を得るためにはバックライト輝度をあげる必要があり、TNモードに比べて消費電力が大きくなる。

【0011】一方、論文“Electric Field Analysis in TFT-LCDs with In-Plane-Switching Mode of Nematic LCs”（Eurodisplay '96 Digest 5.1 P. 49、以

下、従来例3)にはIPSモードの液晶表示装置における、データ線の漏れ電界による液晶にかかる電界の乱れのメカニズムが述べられている。図11はデータ線の漏れ電界1116による液晶にかかる電界1115の乱れを説明する図である。たとえばデータ線1114には正極性の12Vの信号電圧がかかっており、画素1101には負極性の2Vの電圧がかかっており、共通電極1102には基準電圧7Vがかかっているとすると、データ線1114の漏れ電界1116は図11のように表示部内部に侵入して、液晶分子を乱してから共通電極1102に終端する。このため、液晶分子が乱れた領域はCF基板1112上に設けたブラックマトリクス層1109の幅を広くして、必要なレベルまで遮光を行う必要がある。よって、TNモードに比べて、ますます光透過領域は小さくなる。

【0012】次に、従来例1で説明した倍速駆動法と、従来例2、3で説明したIPSモードを単純に組み合わせてLCDを構成した場合を仮想した例を以下に説明する。図12はそのような液晶表示装置を説明する図であり、(a)はその4列2行分の画素の平面図であり、(b)はその断面図である。データ線1203に画素1222、1223が接続され、ゲート線1201により画素1222が、ゲート線1202により画素1223が選択される。データ線1203に隣接して共通電極1206を配置し、データ線のない側に第1の画素の画素電極1225および第2の画素の画素電極1226を配置する。これらの駆動方法については従来例1と同じであるため、説明を省略する。

【0013】この場合、画素電極1225、1226の間にデータ線のない分だけ、従来例3のような漏れ電界の影響を考えなくてすみ、画素電極1225と隣の画素電極1226の間隔を狭めて光の透過領域を広げることが可能である。また、データ線の数が半減するため、低消費電力化が可能となり、また低いコスト化が可能となると思われる。

【0014】しかし、倍速駆動方法を単純にIPSモードの液晶表示装置に適用した場合においても、従来例1の問題点として指摘した通り、第1の画素1225が第2の画素1226の書き込み時に容量結合により変動しないように、画素1225と1226の間の間隔を十分にとることが必要となる。

【0015】さらに本画素構成において、たとえば画素1226を正極性の12V、画素1225を負極性の2V、共通電極1106を基準電位の7Vとすると、図12のような液晶を駆動する電界1219を乱す不必要な電界1220が生じ、データ線周りの漏れ電界と同様に表示領域内の液晶分子を乱すために、画素電極1225、1226上に大きな遮光領域をCF基板1217上のブラックマトリクス1214により形成する必要がある。このように従来例1の駆動方法をIPS液晶表示装

置に適用する場合にも、その画素構成や画素への書き込み信号の極性などを十分に考慮しないと、表示品位を劣化させる問題を有した。

【0016】

【発明が解決しようとする課題】以上で説明したように、従来例1の倍速駆動方法では、隣合う画素同士の間隔を十分に広げ、画素同士の寄生容量を小さくして表示品位の劣化を防ぐ必要があり、そのため光透過領域が減る問題を有した。また、この倍速駆動方法を基板面に対して平行な電界を用いたIPS液晶に適用した場合も、その画素構成や画素への書き込み信号の極性などを十分に考慮しないと、表示品位が劣化し、光透過領域が減る問題を有した。

【0017】よって、本発明の目的は、従来例1のような倍速駆動方法をIPSモードに適用して、広視野角・低消費電力・低コストで、さらに光透過領域が広く、表示品位に優れた明るい液晶表示装置を提供することにある。

【0018】

【課題を解決するための手段】本発明によれば第1のアクティブマトリクス型液晶表示として、能動素子基板と対向基板と、前記両基板間に挟まれた液晶層を備えており、前記能動素子基板表面に画素電極と共通電極からなるマトリクス状に配置された画素と、ゲート、ドレインおよびソース電極を有する薄膜トランジスタを有し、前記液晶層に封止されている液晶分子の分子軸方向を前記能動素子基板と水平な面内で回転させて表示を行うアクティブマトリクス型液晶表示装置において、前記能動素子基板は、マトリクス状に配置された前記画素の1行に対して2本ずつ割り当てられたゲート線と、前記画素の2列に対して1本ずつ割り当てられたデータ線と、共通電極に基準電位を供給する共通線を持ち、前記2本のゲート線のうちの一方の走査線により選択される薄膜トランジスタ(TFT)を介して駆動される第1群の画素と、もう一方のゲート線により選択される薄膜トランジスタ(TFT)を介して駆動される第2群の画素を有することを特徴とするアクティブマトリクス型液晶表示装置が得られる。

【0019】また、本発明によれば第2のアクティブマトリクス型液晶表示装置として、前記第1の液晶表示装置において、前記第1群の画素と前記第2群の画素の間には、両画素で共有する共通電極を有することを特徴とするアクティブマトリクス型液晶表示装置が得られる。

【0020】また、本発明によれば第3のアクティブマトリクス型液晶表示装置として、前記第2の液晶表示装置において、前記第1群の画素と第2群の画素の間に共有した前記共通電極は、前記共通線を兼ねることを特徴とするアクティブマトリクス型液晶表示装置が得られる。

【0021】また、本発明によれば、第4のアクティブ

マトリクス型液晶表示装置として、前記第1の液晶表示装置において、前記第1群の画素と第2群の画素の間には一方にはデータ線が他方には前記共通線が配置されることを特徴とするアクティブマトリクス型液晶表示装置が得られる。

【0022】また、本発明によれば、第5のアクティブマトリクス型液晶表示装置として、前記第4の液晶表示装置において、前記画素電極および前記共通電極は走査線に平行な長辺とデータ線に平行な短辺を持つ長方形型のパターンにより形成されていることを特徴とするアクティブマトリクス型液晶表示装置が得られる。

【0023】また、本発明によれば、第6のアクティブマトリクス型液晶表示装置として、前記第2または第4の液晶表示装置において、前記対向基板面内において、前記第1群の画素と前記第2群の画素が共有する共通電極または共通線に対向する領域には遮光パターンが存在しないことを特徴とするアクティブマトリクス型液晶表示装置が得られる。

【0024】また、本発明によれば第7のアクティブマトリクス型液晶表示装置として、前記第1の液晶表示装置において、前記画素の駆動方法は、各走査線の走査期間を第1の走査期間および第2の走査期間に分け、第1の走査期間では前記第1の画素が駆動され、第2の走査期間では前記第2の画素が駆動され、前記第1群の画素と、その隣に配置された前記第1の画素とは異なるデータ線に接続された前記第2群の画素は、その極性が互いに同極性であることを特徴とするアクティブマトリクス型液晶表示装置が得られる。

#### 【0025】

【発明の実施の形態】次に本発明の実施の形態を図面を参照して順次に詳細に説明する。

(第1の実施の形態) 図1は本発明の第1の実施形態によるアクティブマトリクス液晶表示装置について説明する図であり、(a)はその4列2行分の画素アレイ配置を示す平面図であり、(b)はその画素部拡大図である。本発明の第1の実施形態のアクティブマトリクス型液晶表示装置では、能動素子基板(以下、TFT基板)と対向基板(以下、CF基板)とこれらに挟まれた液晶層により構成されている。TFT基板上には画素電極が640×3×480のマトリクス上に配置され、960本のゲート線101を走査方向の1表示ラインに対して2本づつ割り当て、320×3本のデータ線103、およびゲート線101と平行に配置された480本の共通線105を備えている。データ線103の左右にはゲート線101により選択されデータ線103の信号を書き込む画素111および他方のゲート線102により選択され、データ線103の信号を書き込む画素112が配置されている。画素111、112はそれぞれ1つの画素電極118および2つの共通電極116、117をもち、一方の共通電極116はデータ線103に隣接して

配置され、他方の共通電極117は画素111と隣のデータ線104に接続された画素113の間に配置されて、画素111と113で共通電極117を共有している。画素電極118はこれら共通電極116、117の中央に配置されている。画素電極118はTFT106のソース電極109に接続され、共通電極116、117はゲート線101と平行に配置された共通線105に接続されており、ゲート線101に供給される選択信号とデータ線103に供給されるデータ信号とで選択された画素において、基板表面と実質的に水平な面内で電界を生じさせ、この電界115にしたがって液晶分子114を基板表面と水平な面内で回転させて表示を行っている。

【0026】次に本発明の第1の実施の形態による画素の層構造を図2を用いて説明する。図2は第1の実施形態の層構造を示す図であり、(a)はTFT部の断面図、(b)はデータ線周りの断面図である。本発明の画素の層構造は、TFTガラス基板121上に設けられたボトムゲート構造の逆スタガ型TFTのゲート層を用いて共通電極116・共通線105およびゲート線102が形成されており、ドレイン層を用いてデータ線104と画素電極118、119が形成されており、それらを覆うようにTFTを保護するためにパッシベーション膜123が形成されている。さらにパッシベーション膜123上には液晶分子を配向させるための配向膜124が備えられ、TFT側ガラス基板121から配向膜124までの構成要素にてTFT基板129が形成されている。一方、カラーフィルター基板130はCF側ガラス基板128と、非表示部を遮光するブラックマトリクス層127(以下、BM層)と、RGB3原色を持つ顔料や染料の入った樹脂である色層126と液晶を配向させるための配向膜125にて構成されている。

【0027】BM層127はゲート線102およびデータ線104周りの非表示領域には設けられているが、第1の画素と第2の画素が共有した共通電極117上にはBM層は設けられていない。

【0028】第1の実施形態による駆動方法は図3のように行う。図3において(a)は画素の駆動順序をのべた図であり、(b)は各ラインや画素の信号を示した図である。

【0029】各走査ラインの走査期間142を第1の走査期間143と第2の走査期間144に分け、第1の走査期間143でデータ線103の片側に配置された一方の画素111を駆動し、第2の走査期間144で他方の画素112を駆動する。また、画素への書き込みについてはたとえば以下のように行う。データ線103に接続された画素については、画素111→112→132→133の順に書き込みを行い、データ線104に接続された画素については、画素134→113→135→136の順に書き込みを行う。

【0030】これらの画素に対する信号の極性として、たとえば画素ごとに極性を反転させるドット反転方式と、共通電極を共有する2画素の極性を一対として、ドット反転を行う2H1Vドット反転方式がある。

【0031】図4はドット反転方式を適用した場合を説明する図であり、(a)は各画素に対する書き込み方式を示し、(b)は画素アレイの平面図であり、(c)はその断面図である。ドット方式では各画素ごとに極性を反転して駆動を行う。図4(b)、(c)に示すとおり、一方の画素113の画素電極119には正極性の12Vがかかっており、他方の画素111の画素電極118に負極性の2Vがかかっている。また共通電極116、117には基準電位7Vがかかっている。このようなドット反転駆動の場合、画素電極118、119と共通電極116、117でつくられる液晶分子114にかかる平行電界115のほかに、画素電極118と画素電極119の間に漏れ電界145が生じ、表示部内の液晶分子を乱すために表示品位が劣化する。このため、従来例1の駆動方法をIPSモードに適用する場合には、従来のドット反転駆動を適用することはできない。

【0032】図5は共通電極を共有する2画素の極性を一対としてドット反転を行う2H1Vドット反転方式を適用した場合を説明する図であり、(a)は各画素に対する書き込み方式を示し、(b)は画素アレイの平面図であり、(c)はその断面図である。2H1Vドット反転方式では図5(a)のように、共通電極を共有した画素111、113を画素対とみなし、画素対ごとに極性を反転して駆動を行う。図5(b)、(c)に示すとおり、一方の画素113の画素電極119には正極性の12Vがかかっており、他方の画素111の画素電極118にも正極性の12Vがかかっている。また共通電極116、117には基準電位7Vがかかっている。このような2H1Vドット反転駆動の場合は、前述したような画素電極119と画素電極118の間に漏れ電界は生じず、したがって液晶分子を乱すことはないため、表示品位が劣化しない。よって、本実施形態では画素へ書き込む信号の極性としては、共通電極を共有する2画素の極性を一対として、ドット反転を行う2H1Vドット反転方式を適用した。

【0033】ここで、以上に説明した第1の実施形態の特徴は、以下の点にある。

【0034】データ数を半減できる倍速駆動方法をIPSモードに適用したことにより、低消費電力化が可能となり、またコストを削減することが可能となる。

【0035】また、画素111と画素113の間には、画素電極ではなく、これらの画素が共有する共通電極117を配置したことにより、画素111と画素113の持つ画素電極の間隔を十分とることができ画素間寄生容量が低減でき、倍速駆動方法で問題となった表示品位の劣化を防ぐことができる。

【0036】画素111と画素113の間に設けられた、これらの共有する共通電極117上にはBM層を配置する必要がないため、光の透過する表示領域の面積が従来に比べて大きく増加する。これにより光透過率の高い明るい表示品質の優れた液晶表示装置が提供できる。

【0037】さらに、画素への書き込みの仕方として、共通電極を共有する2画素の極性を一対として、ドット反転を行う2H1Vドット反転方式を適用したことにより、画素電極間の漏れ電界が生じず、表示品位の優れた液晶表示装置を提供できる。

(第2の実施の形態) 図6を用いて本発明の第2の実施形態について説明する。図6は第2の実施形態を示す図であり、(a)は画素の平面図であり、(b)はその断面図である。

【0038】図6(a)に示すように、TFT基板上には画素電極が640×3×480のマトリクス上に配置され、960本のゲート線601を走査方向の1表示ラインに対して2本ずつ割り当て、320×3本のデータ線602、およびデータ線602と平行に配置された320本の共通線603を備えている。データ線602の左右にはゲート線601により選択されデータ線602の信号を書き込む画素606および他方のゲート線620により選択され、データ線602の信号を書き込む画素607が配置されている。画素606、607はそれぞれ1つの画素電極604および1つの共通電極605をもち、さらに共通電極を兼ねた共通線603を共有している。

【0039】次に本発明の第2の実施形態の画素の層構造を図6(b)を用いて説明する。ボトムゲート構造を持つ逆スタガ型のTFTのゲート層を用いてゲート線601が形成されており、ドレイン層を用いてデータ線602と画素電極604、および共通線603および共通電極605、603が形成されており、それらを覆うようにパッシベーション膜610が形成されている。

【0040】画素アレイへの信号の書き込み順序・極性は第1の実施形態と同様なので説明を省略する。

【0041】ここで本実施形態の特徴は、第1の実施形態に比べて画素606と画素607の間に設けられた共通電極が共通線603を兼ねているために、第1の実施形態に比べてさらに光が透過する面積が向上する点にある。

【0042】また、共通電極と画素電極が同層にあるため、両電極が液晶層に与える電界の対称性が向上し、たとえば焼き付きやムラ・シミなどの発生の少ない表示品位に優れた液晶表示装置が得られる。

(第3の実施の形態) 次に、本発明の第3の実施形態について説明する。なお、本実施形態の画素アレイ配置は第2の実施形態と同じなので説明を省略する。図7は第3の実施形態を示す図であり、(a)は画素の平面図であり、(b)はその断面図である。第2の実施形態と同

様に画素 7 0 6 と 7 0 7 の間には共通線 7 0 3 が配置されている。また画素電極 7 0 4 および共通線 7 0 3 に接続された共通電極 7 0 5 はその長辺がゲート線 7 0 1 に平行に配置されている。

【0043】層構造、および画素アレイへの信号の書き込みの順序・極性は第 2 の実施形態と同様なので説明を省略する。

【0044】ここで本実施形態の特徴は、データ線 7 0 2 と共通線 7 0 3 および共通電極 7 0 5 が同層で配置されているにもかかわらず、第 2 の実施形態に比べて隣接部分の面積が少ないために、新たなメタル層を設けてプロセス数を増加することなく、データ線と共通電極・共通電極線の間のショート不良率を低減できることにある。

【0045】

【発明の効果】以上説明したように、本発明の第 1 の効果は、液晶分子の分子軸方向を能動素子基板と水平な面内で回転させて表示を行うことにより広視野角を可能とした IPS 型の広視野角液晶表示装置において、消費電力の少ない、低コストの液晶表示装置が提供できる点にある。

【0046】その理由は、画素 1 行に対して 2 本ずつ割り当てられた走査線と画素 2 列に対して 1 本ずつ割り当てられたデータ線と、共通電極に接続する共通線を持ち、2 本の走査線のうちの一方の走査線にゲート電極が、データ線にドレイン電極が接続された薄膜トランジスタ (TFT) を介して駆動される第 1 の画素と、他方の走査線にゲート電極が、データ線にドレイン電極が接続された薄膜トランジスタ (TFT) を介して駆動される第 2 の画素を有する画素アレイ配置を行い、さらに第 1 の画素と第 2 の画素は共通電極の一部を共有するためである。さらに共通電極が共通線を兼ねる場合は、一層高開口率化ができる。

【0047】また、本発明の第 2 の効果は、倍速駆動を適用した IPS 型液晶表示装置において、表示品位の優れた液晶表示装置を提供できることにある。

【0048】その理由は共通電極を共有する 2 画素の極性を一対として、ドット反転を行う 2H1V ドット反転方式を適用したことにより、画素間に生じる漏れ電界を低減したことによる。

【0049】また、本発明の第 3 の効果は、倍速駆動を可能にした IPS 型の広視野角液晶表示装置において、高開口率を保ちつつデータ線・共通線ショートが減り、歩留まりが向上することである。

【0050】これはデータ線と共通線が同層の場合に、共通電極の長辺方向をゲート線と平行に配置することにより共通電極とデータ線の隣接部分の面積を少なくする構造をとることによって得られる。

【図面の簡単な説明】

【図 1】本発明のアクティブマトリクス型液晶表示装置

の一部を示す図であり、(a) は 4 列 2 行の画素アレイの平面図であり、(b) は一部の拡大図である。

【図 2】本発明のアクティブマトリクス型液晶表示装置の一部を示す図であり、(a) はその TFT 部の断面図 (図 1 (b) の A-A' 断面図) であり、(b) はデータ線周りの断面図 (図 1 (b) の B-B' 断面図) である。

【図 3】本発明のアクティブマトリクス型液晶表示装置の駆動方式を示す図であり、(a) はその書き込み順序を示す図であり、(b) は各信号を示す図である。

【図 4】本発明のアクティブマトリクス型液晶表示装置の一部を示す図であり、(a) は画素信号の極性を示す図であり、(b) は画素の平面図であり、(c) はそのデータ線周りの断面図である。

【図 5】(a) は画素信号の極性を示す図であり、(b) は画素の平面図であり、(c) はそのデータ線周りの断面図である。

【図 6】本発明のアクティブマトリクス型液晶表示装置の一部を示す図であり、(a) は画素の平面図であり、(b) はそのデータ線周りの断面図である。

【図 7】本発明のアクティブマトリクス型液晶表示装置の一部を示す図であり、(a) は画素の平面図であり、(b) はそのデータ線周りの断面図である。

【図 8】従来のアクティブマトリクス型液晶表示装置の一部を示す図である。

【図 9】従来のアクティブマトリクス型液晶表示装置の駆動方式を示す図であり、(a) はその書き込み順序を示す図であり、(b) は各信号を示す図である。

【図 10】従来のアクティブマトリクス型液晶表示装置の一部を示す図であり、(a) はその画素の平面図であり、(b) はその TFT 部の断面図であり、(c) はそのデータ線周りの断面図である。

【図 11】従来のアクティブマトリクス型液晶表示装置の画素部のデータ線周りの断面図である。

【図 12】従来のアクティブマトリクス型液晶表示装置の一部を表す図であり、(a) は 4 列 2 行の画素アレイの平面図であり、(b) はそのデータ線周りの断面図である。

【符号の説明】

1 0 1, 1 0 2      ゲート線

1 0 3, 1 0 4      データ線

1 0 5      共通電極線

1 0 6      薄膜トランジスタ

1 0 7      ゲート電極

1 0 8      ドレイン電極

1 0 9      ソース電極

1 1 0      光透過領域

1 1 1, 1 1 2, 1 1 3      画素

1 1 4      液晶分子

1 1 5      電界の方向

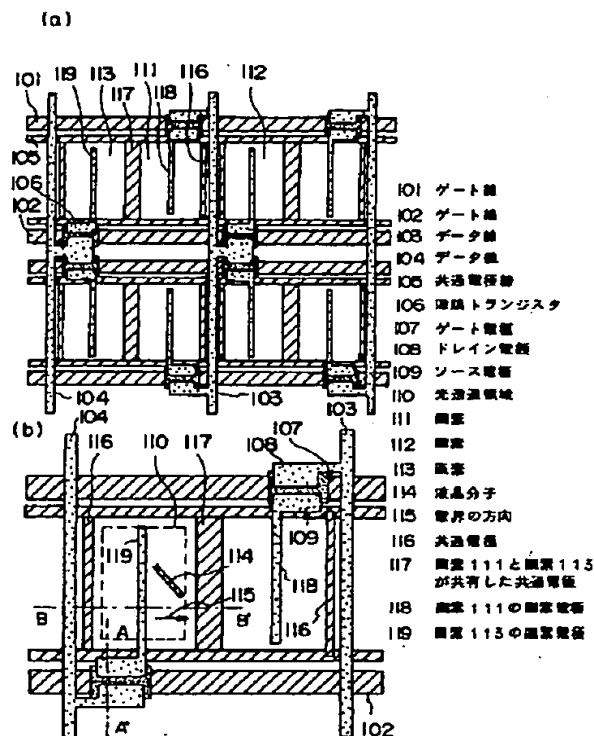


1 1 6	共通電極	7 0 6, 7 0 7	画素
1 1 7	画素 1 1 1 と画素 1 1 3 が共有した共通電極	7 0 8	T F T ガラス基板
1 1 8	画素 1 1 1 の画素電極	7 0 9	ゲート絶縁膜
1 1 9	画素 1 1 3 の画素電極	7 1 0	パッシベーション膜
1 2 0	a - S i 層	7 1 1	配向膜 ( T F T 側 )
1 2 1	T F T ガラス基板	7 1 2	配向膜 ( C F 側 )
1 2 2	ゲート絶縁膜	7 1 3	色層
1 2 3	パッシベーション膜	7 1 4	ブラックマトリクス層
1 2 4	配向膜 ( T F T 側 )	7 1 5	C F ガラス基板
1 2 5	配向膜 ( C F 側 )	10 7 1 6	T F T 基板
1 2 6	色層	7 1 7	C F 基板
1 2 7	ブラックマトリクス層	7 1 8	液晶層
1 2 8	C F ガラス基板	7 1 9	画素 7 0 6 と画素 7 0 7 が共有した共通電極
1 2 9	T F T 基板	7 2 0	光透過領域
1 3 0	C F 基板	8 0 1	ゲート線
1 3 1	液晶層	8 0 2	データ線
1 3 2 ~ 1 3 6	画素	8 0 3	画素電極
1 3 7	ゲート線 1 0 1 の信号	8 0 4	薄膜トランジスタ
1 3 8	ゲート線 1 0 2 の信号	8 0 5	走査ドライバー
1 3 9	データ線 1 0 3 の信号	20 8 0 6	信号ドライバー
1 4 0	画素 1 1 1 の電圧	8 0 7	表示部
1 4 1	画素 1 1 2 の電圧	9 0 1, 9 0 2	ゲート線
1 4 2	走査期間	9 0 3, 9 0 4	データ線
1 4 3	第 1 の走査期間	9 0 5 ~ 9 1 2	画素
1 4 4	第 2 の走査期間	C 1	画素 9 0 5 と画素 9 0 6 の間の画素容量
1 4 5	もれ電界	C 2	画素 9 0 5 と画素 9 1 0 の間の画素容量
6 0 1	ゲート線	9 1 5	走査期間
6 0 2	データ線	9 1 6	第 1 の走査期間
6 0 3	共通電極線	9 1 7	第 2 の走査期間
6 0 4	画素電極	30 9 1 8	画素電圧のシフト
6 0 5	共通電極	9 1 9	ゲート線 9 0 1 の信号
6 0 6, 6 0 7	画素	9 2 0	ゲート線 9 0 2 の信号
6 0 8	T F T ガラス基板	9 2 1	データ線 9 0 3 の信号
6 0 9	ゲート絶縁膜	9 2 2	画素 9 0 5 の電圧
6 1 0	パッシベーション膜	9 2 3	画素 9 0 6 の電圧
6 1 1	配向膜 ( T F T 側 )	1 0 0 1	ゲート線
6 1 2	配向膜 ( C F 側 )	1 0 0 2	データ線
6 1 3	色層	1 0 0 3	共通電極線
6 1 4	ブラックマトリクス層	1 0 0 4	画素電極
6 1 5	C F ガラス基板	40 1 0 0 5	共通電極
6 1 6	T F T 基板	1 0 0 6	薄膜トランジスタ
6 1 7	C F 基板	1 0 0 7	ゲート電極
6 1 8	液晶層	1 0 0 8	ドレイン電極
6 1 9	画素 6 0 6 と画素 6 0 7 が共有した共通電極	1 0 0 9	ソース電極
6 2 0	光透過領域	1 0 1 0	a - S i 層
7 0 1	ゲート線	1 0 1 1	T F T ガラス基板
7 0 2	データ線	1 0 1 2	ゲート絶縁膜
7 0 3	共通電極線	1 0 1 3	パッシベーション膜
7 0 4	画素電極	1 0 1 4	配向膜 ( T F T 側 )
7 0 5	共通電極	50 1 0 1 5	配向膜 ( C F 側 )

15

- 1016 色層
- 1017 ブラックマトリクス層
- 1018 CFガラス基板
- 1019 TFT基板
- 1020 CF基板
- 1021 液晶層
- 1022 光透過領域
- 1101 画素電極
- 1102 共通電極
- 1103 TFTガラス基板
- 1104 ゲート絶縁膜
- 1105 パッシベーション膜
- 1106 配向膜 (TFT側)
- 1107 配向膜 (CF側)
- 1108 色層
- 1109 ブラックマトリクス層
- 1110 CFガラス基板
- 1111 TFT基板
- 1112 CF基板
- 1113 液晶層
- 1114 データ線
- 1115 液晶にかかる電界
- 1116 データ線からの漏れ電界

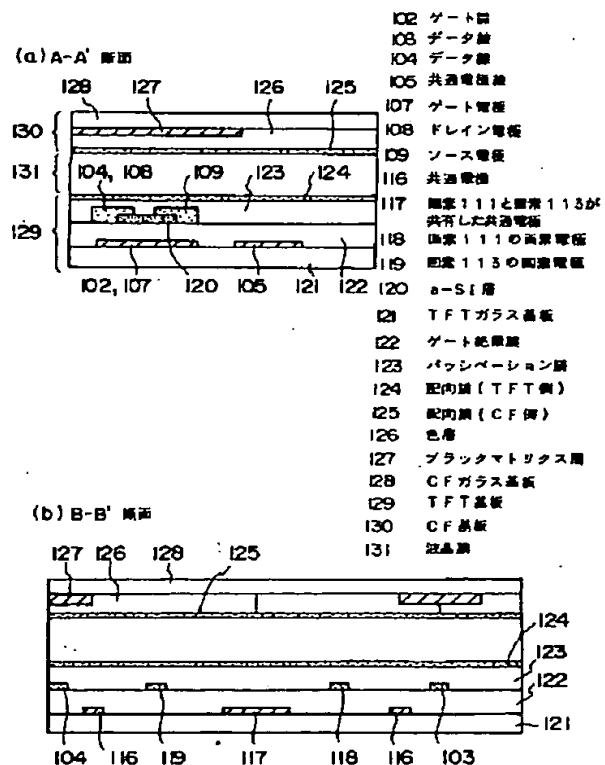
【図1】



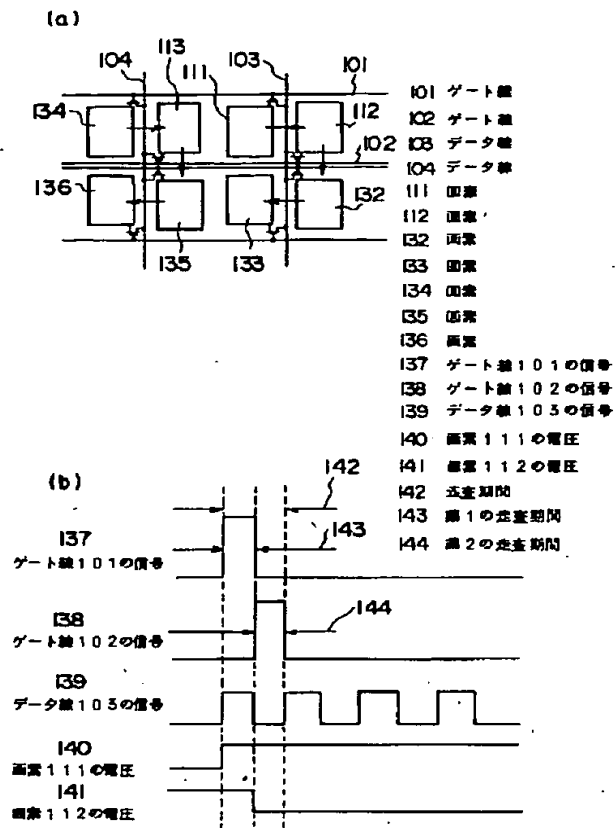
16

- 1201, 1202 ゲート線
- 1203, 1204 データ線
- 1205 共通電極線
- 1206 共通電極
- 1207 薄膜トランジスタ
- 1208 TFTガラス基板
- 1209 ゲート絶縁膜
- 1210 パッシベーション膜
- 1211 配向膜 (TFT側)
- 10 1212 配向膜 (CF側)
- 1213 色層
- 1214 ブラックマトリクス層
- 1215 CFガラス基板
- 1216 TFT基板
- 1217 CF基板
- 1218 液晶層
- 1219 液晶にかかる電界
- 1220 もれ電界
- 1221 光透過領域
- 20 1222~1224 画素
- 1225 画素1222の画素電極
- 1226 画素1224の画素電極

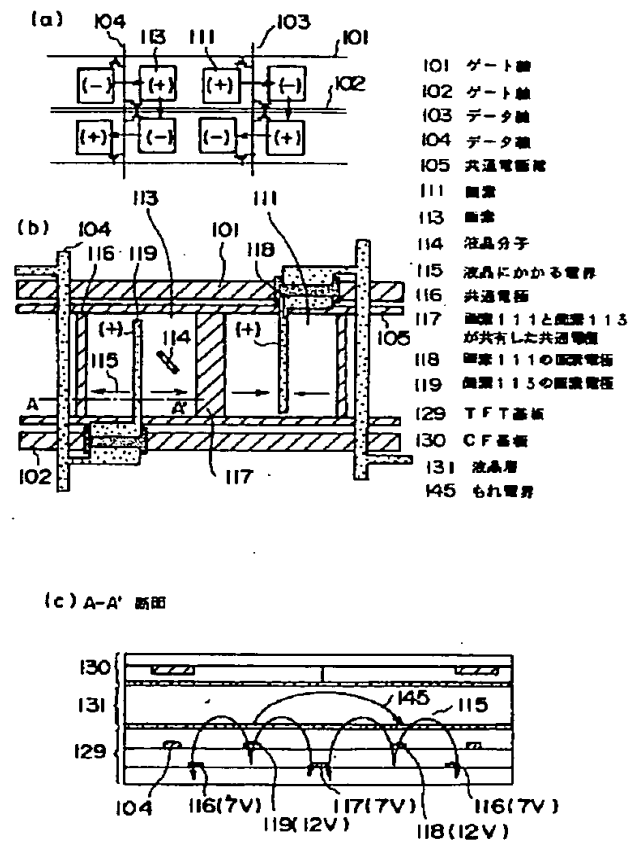
【図2】



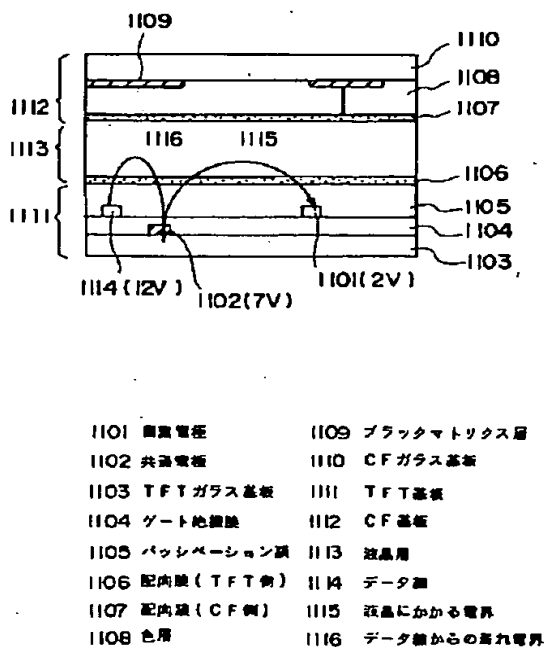
【図 3】



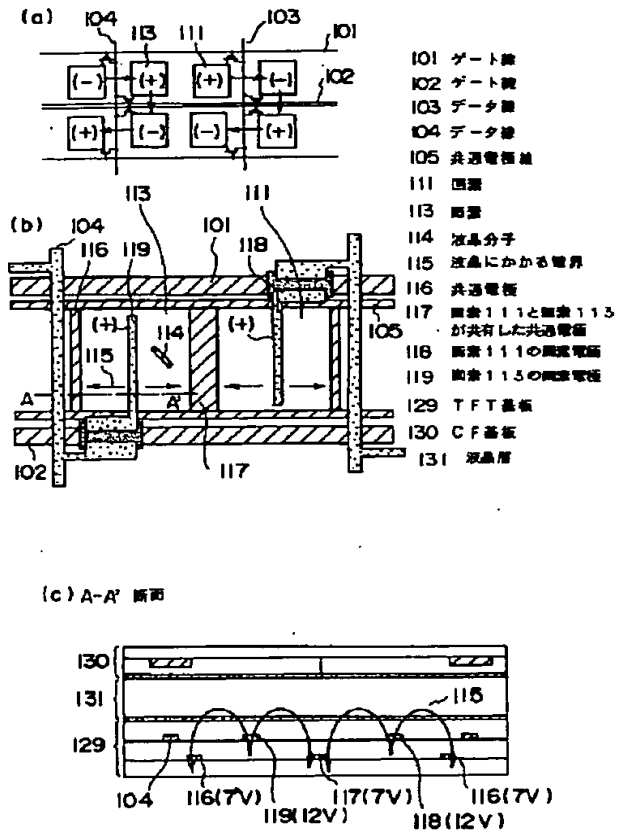
【図 4】



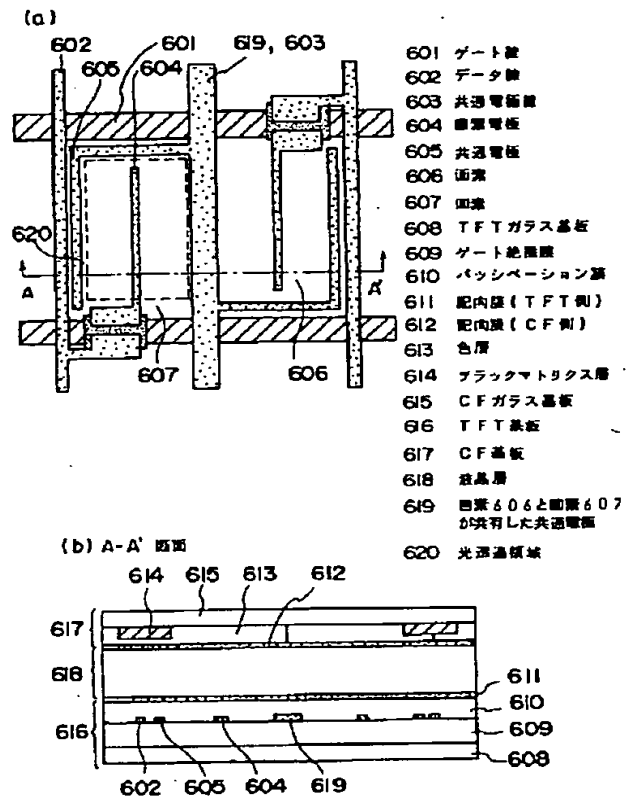
【図 11】



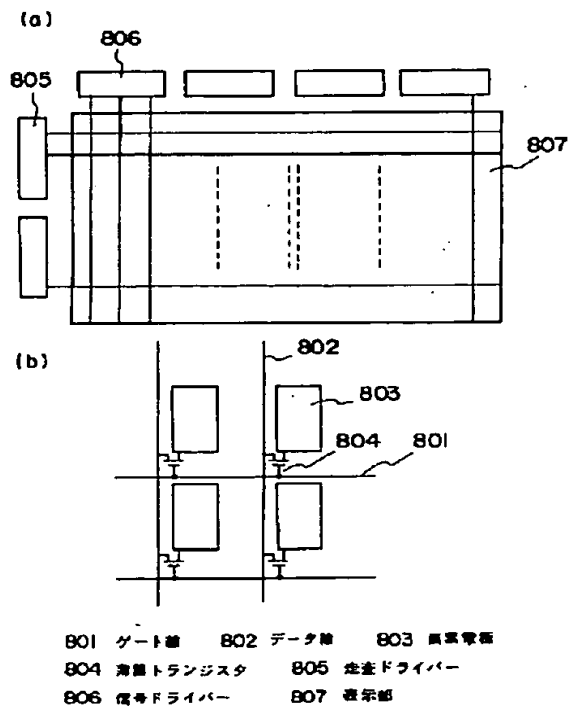
【図5】



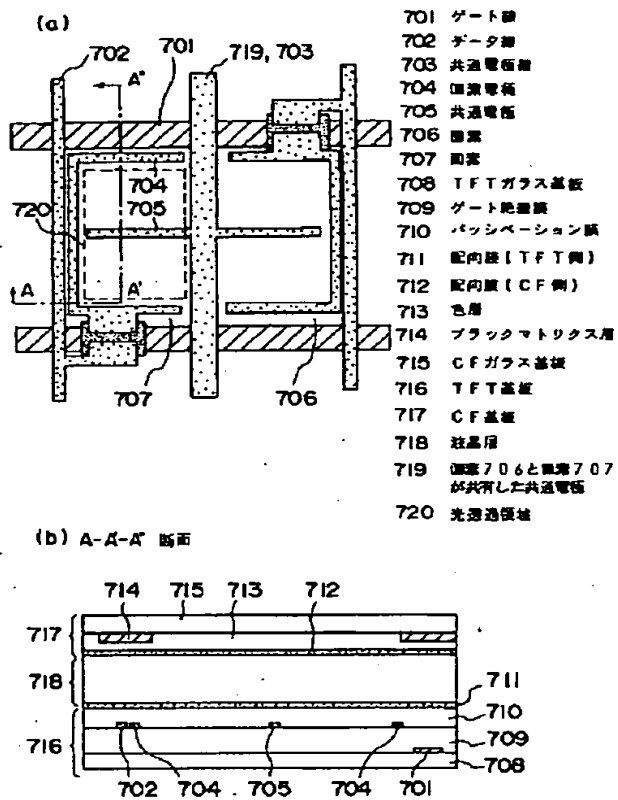
【図6】



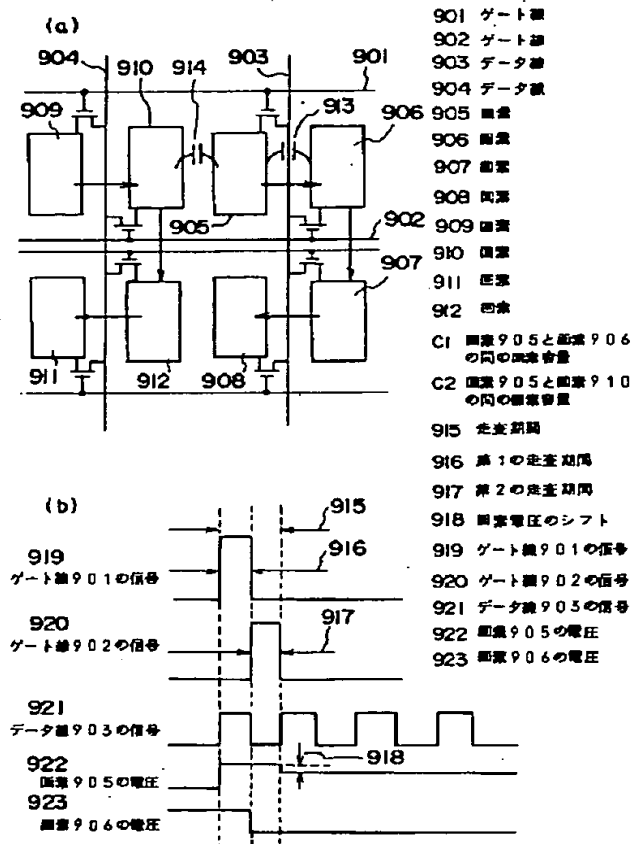
【図8】



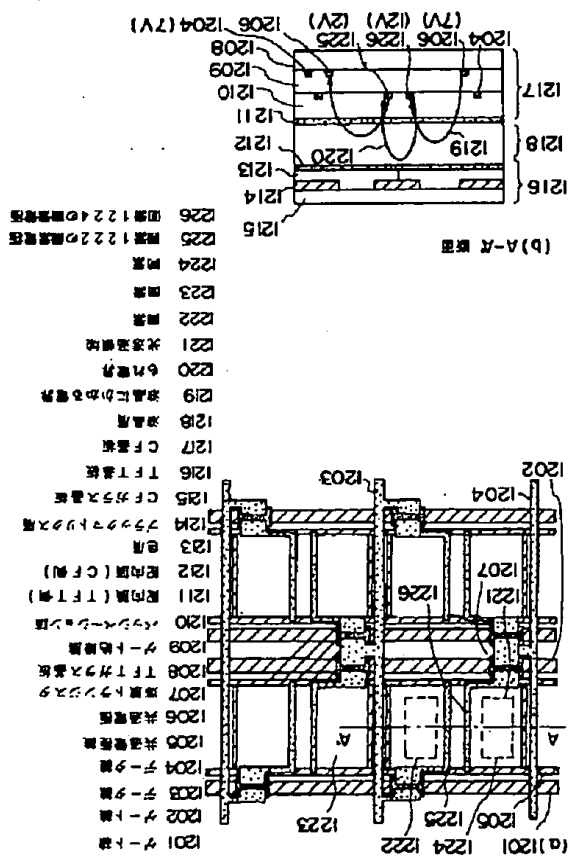
【図7】



【図9】



【図 12】



【図 10】

